

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-245943

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 3/28	F			
	R			
	S			
7/21	A	9180-5H		
	Z	9180-5H		

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21)出願番号 特願平6-34973

(22)出願日 平成6年(1994)3月4日

(71)出願人 390013723

ネミック・ラムダ株式会社

東京都品川区東五反田1丁目11番15号

(72)発明者 コーリン プライス

東京都品川区東五反田1丁目11番15号 ネ  
ミック・ラムダ株式会社内

(72)発明者 呉 壬華

東京都品川区東五反田1丁目11番15号 ネ  
ミック・ラムダ株式会社内

(74)代理人 弁理士 牛木 護

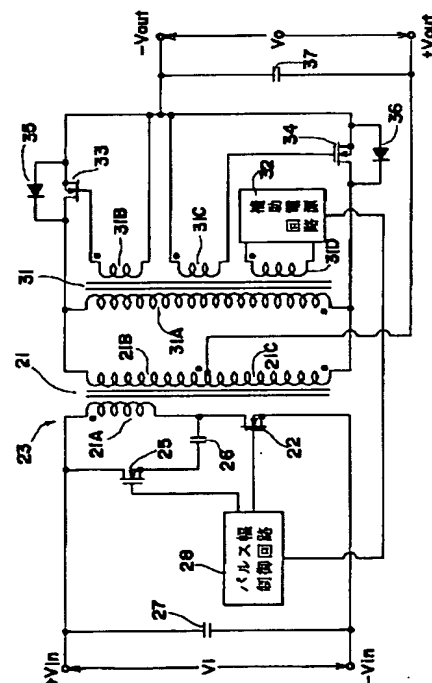
(54)【発明の名称】 スイッチング電源装置

(57)【要約】

【目的】 主トランスの構造を複雑化させることなく、MOS型FETを十分に動作させる。

【構成】 主トランス21の二次側に、二次整流回路としてのFET33、34を設ける。また、主トランス21の二次巻線21B、21C間に、ドライブトランス31の一次巻線31Aを接続する。このドライブトランス31の二次巻線31B、31CからFET33、34に、駆動信号を交互に供給するように構成する。

【効果】 FET22のスイッチングに同期して、FET33、34を動作させるのに十分な電圧の駆動信号がFET33、34に供給される。



**【特許請求の範囲】**

【請求項 1】 主トランスの一次巻線に印加される直流入力電圧をスイッチング素子のオン、オフ動作により断続して所定の直流出力電圧を得る電力変換回路と、前記主トランスの二次巻線に誘起した電圧を整流する MOS 型 FET と、前記主トランスの二次巻線両端にその一次巻線が接続され二次巻線から前記 MOS 型 FET に駆動信号を供給する前記主トランスとは別体のドライブトランスとからなることを特徴とするスイッチング電源装置。

【請求項 2】 前記ドライブトランスに補助巻線を巻回し、この補助巻線に前記スイッチング素子をオン、オフ制御する制御回路の補助電源回路を設けたことを特徴とする請求項 1 に記載のスイッチング電源装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、MOS 型 FET により主トランスの二次側に誘起された電圧を整流する同期整流方式のスイッチング電源装置に関する。

**【0002】**

【従来の技術】一般に、この種のスイッチング電源装置は、電力変換回路により一次巻線に印加される直流入力電圧をスイッチング素子によりスイッチングして、所定の直流出力を得るようにしているが、主トランスの二次巻線に誘起した電圧を整流する二次整流回路としてダイオードを用いた場合、このダイオードの順方向電圧降下によって電源装置の効率が低下するという問題点がある。

【0003】図 4 は、こうした電源装置の効率を改善するべく、二次整流回路に MOS 型 FET を用いたプッシュプル形コンバータの一例を示したものである。同図において、1、1A は直流入力電圧  $V_{in}$  が供給される入力端子、2 は入力端子 1、1A 間に接続されるコンデンサであり、入力電圧  $V_i$  はスイッチング素子たる 2 個の MOS 型 FET 3、4 のオン、オフ動作により、主トランス 5 の一次巻線 5A、5B に交互に印加される。一方、主トランス 5 の二次側には、整流ダイオードに代わり主トランス 5 の二次巻線 5C、5D の一端に接続された一対の MOS 型 FET 6、7 と、チョークコイル 8 と、平滑コンデンサ 9 が設けられ、主トランス 5 を構成する補助巻線 5E、5F の一端が抵抗 10、11 を介して FET 6、7 のゲートに接続される。そして、これらの各素子により、直流入力電圧  $V_i$  を直流出力電圧  $V_o$  に変換する電力変換回路 12 が構成される。

【0004】パルス幅制御回路 13 は、抵抗 14、15 を介して FET 3、4 を交互にオン、オフさせ、いずれか一方の FET 3、4 がオン状態のときに主トランス 5 の一次巻線 5A、5B に比例した電圧を二次巻線 5C、5D に誘起させる。このとき、FET 3 がオン状態となり、二次巻線 5C、5D の非ドット側よりも、ドット側の電位

が高くなれば、補助巻線 5E から FET 6 のゲートに駆動信号が与えられ、FET 3 に同期して FET 6 がターンオンする。したがって、二次巻線 5C から FET 6 を介して、出力端子 16、16A に出力電圧  $V_o$  が供給される。これに対して、FET 4 がオン状態となり、二次巻線 5C、5D のドット側よりも、非ドット側の電位が高くなれば、補助巻線 5F から FET 7 のゲートに駆動信号が与えられ、スイッチング素子 4 に同期して FET 7 がターンオンする。そして、二次巻線 5D から FET 7 を介して、出力端子 16、16A に出力電圧  $V_o$  が供給される。また、双方の FET 3、4 が共にオフ状態のときには、チョークコイル 8 から出力端子 16、16A に出力電圧  $V_o$  が供給される。

**【0005】**

【発明が解決しようとする課題】上記従来技術においては、FET 6、7 を整流ダイオードの代わりに用いた場合、従来に比べて電源装置の効率を向上させることができるが、主トランス 5 に補助巻線 5E、5F をさらに巻回して、FET 6、7 に所定の駆動電圧を供給しなければならず、トランス構造の複雑化およびコストの上昇を招いていた。また、このような事態を避けるために、二次巻線 5C、5D に誘起された電圧を直接 FET 6、7 のゲートに駆動信号として印加する方法も有るが、出力電圧  $V_o$  が 5V 以下、例えば 2V や 3、3V 程度の低電圧では、FET 6、7 をターンオンさせるのに十分な駆動電圧が得られず、比較的出力電圧  $V_o$  の高い特定の出力電圧範囲にのみしか本方法を適用することができなかった。

【0006】そこで、本発明は上記問題点を鑑み、主トランスの構造を複雑化させることなく、いかなる出力電圧範囲に対しても MOS 型 FET を充分に動作させることの可能なスイッチング電源装置を提供することを目的とする。

【0007】また本発明の他の目的は、二次整流回路として MOS 型 FET を用いた場合、簡単に補助電源回路を得ることの可能なスイッチング電源装置を適用することにある。

**【0008】**

【課題を解決するための手段】本発明は、主トランスの一次巻線に印加される直流入力電圧をスイッチング素子のオン、オフ動作により断続して所定の直流出力電圧を得る電力変換回路と、前記主トランスの二次巻線に誘起した電圧を整流する MOS 型 FET と、前記主トランスの二次巻線両端にその一次巻線が接続され二次巻線から前記 MOS 型 FET に駆動信号を供給する前記主トランスとは別体のドライブトランスとからなるものである。

【0009】また本発明は、前記ドライブトランスに補助巻線を巻回し、この補助巻線に前記スイッチング素子をオン、オフ制御する制御回路の補助電源回路を設けたものである。

## 【0010】

【作用】上記構成により、スイッチング素子のオン、オフ動作に伴い、主トランスの二次巻線に一次巻線に比例した電圧が誘起されると、この主トランスの二次巻線側に接続されたドライブトランスの二次巻線にも一次巻線に比例した電圧が誘起される。したがって、スイッチング素子のスイッチングに同期して、MOS型FETを動作させるのに十分な電圧の駆動信号がこのFETに供給される。

## 【0011】

【実施例】以下、本発明の各実施例を添付図面に基づいて説明する。図1は本発明の第1実施例を示し、同図において、21は一次側と二次側とを絶縁するパルストランスからなる主トランスであり、この主トランス21の一次巻線21Aとスイッチング素子たるMOS型FET22との直列回路が電力変換回路23として入力端子+Vin、-Vin間に接続され、入力端子+Vin、-Vinを介して直流入力電圧Viが一次巻線21Aに印加されるようになっている。また、主トランス21の一次巻線21A間には、主トランス21のフライバック電圧をクランプするMOS型FET25とブロッキングコンデンサ26との直列回路が接続される。各FET22、25のドレイン・ソース間には、図示しないが各々固有のキャパシタンス値をもつキャパシタと、ボディダイオードとの並列回路がFET22、25自体の特性として存在する。さらに入力端子+Vin、-Vin間にはコンデンサ27が接続される。そして、これらFET22、25のゲートには、制御回路たるパルス幅制御回路28からの制御信号が適当なデッドタイムを持ちながら交互に与えられ、この駆動信号のパルス幅を制御して電力変換回路23を構成するFET22をオン、オフ動作させることにより、主トランス21の一次巻線21Aに印加される入力電圧Viを断続して、所定の直流出力電圧Voを出力端子+Vout、-Voutより得るようにしている。

【0012】主トランス21の二次側の構成について引き続き詳述すると、主トランス21の二次巻線21B、21Cは出力端子+Voutに接続されるセンタータップにより二分割され、二次巻線21B、21Cの両端間には、ドライブトランス31の一次巻線31Aが接続される。このドライブトランス31は前記主トランス21と別体のパルストランスから構成され、一次巻線31Aのドット側端子が主トランス21の二次巻線21Cのドット側端子に接続されとともに、二次側には後述する各FET33、34のゲートに駆動信号を供給する二次巻線31B、31Cと、補助電源回路32に電力を供給する補助巻線31Dが各々巻回される。補助電源回路32は補助巻線31Dに誘起された電圧を所定の直流動作電圧に変換して、各FET22、25をオン、オフ制御するパルス幅制御回路28などの各種回路に供給するものであり、その構成は種々の電源回路を適用できる。一方、33、34は二次整流回路として整流ダイオードの代わ

りに設けられ、主トランス21の二次巻線21B、21Cに誘起した電圧を整流するMOS型FETであり、このFET33、34は、効率を上げるために例えばオン抵抗が低いなどの同期整流方式に適した特性を有していることが好ましい。また、各FET33、34のドレイン・ソース間には、ソース側にアノードが接続されるボディダイオード35、36が存在する。FET33のドレインは、主トランス21の二次巻線21Bの非ドット側端子に接続されるとともに、このFET33のゲートは、ドライブトランス31の二次巻線31Bのドット側端子に接続される。また、FET34のドレインは、主トランス21の二次巻線21Cのドット側端子に接続されるとともに、このFET34のゲートは、ドライブトランス31の二次巻線31Cの非ドット側端子に接続される。そして、各FET33、34のソース、およびドライブトランス31を構成する二次巻線31Bの非ドット側端子と、二次巻線31Cのドット側端子が共通して出力端子-Voutに接続される。なお、37は出力端子+Vout、-Vout間に接続された平滑コンデンサである。

【0013】次に、上記構成につきその作用を説明する。まず、主トランス21の一次側において、パルス幅制御回路28からの駆動信号により、FET22をオン、オフ動作させることによって、入力電圧Vinが主トランス21の一次巻線21Aに断続的に印加される。一方、FET25は前記FET22と交互にオン、オフを繰り返し、かつ、各FET22、25のオン、オフ切り換えり時において、一定のデッドタイムが存在するようにパルス幅制御回路28を介して制御される。このとき、FET25がターンオフしてからFET22がターンオンするまでのデッドタイム間に、主トランス21の一次巻線21Aに蓄積されたエネルギーによりFET22内に存在するキャパシタを放電させ、かつ、FET22がターンオフしてからFET25がターンオンするまでのデッドタイム間に、一次巻線21Aに蓄積されたエネルギーによりFET25内に存在するキャパシタを放電させるように各FET22、25をスイッチング制御すれば、各FET22、25のスイッチング損失は最小になり、零電圧スイッチングが達成される。

【0014】上記各FET22、25における一連の動作中、FET22がターンオフすると、主トランス21の一次巻線21Aにはフライバック電圧が発生し、一次巻線21Aは電流の連続性を維持する一種の定電流源として作用するが、FET25がターンオンすると一次巻線21Aに発生するフライバック電圧は低インピーダンスのブロッキングコンデンサ26に充電され、略一定の値にクランプされる。したがって、一次巻線21Aの両端電圧は略矩形状に波形整形されることになる。

【0015】一方、主トランス21の二次側では、各FET22、25のオン、オフ動作に伴って、一次巻線21Aに比例した電圧が二次巻線21B、21Cに発生するとともに、ドライブトランス31の各二次巻線31B、31Cおよび補助

巻線31Dにも、一次巻線31Aに比例した電圧が発生する。まず、FET22がターンオンすると、一次巻線21Aのドット側に正極性の電圧が加わり、二次巻線21B、21Cのドット側に正極性の電圧が誘起される。また、ドライブトランス31の一次巻線31Aにはドット側に正極性の電圧が印加され、二次巻線31B、31Cおよび補助巻線31Dのドット側に正極性の電圧が誘起される。FET33のゲート・ソース間には、このFET33をターンオンさせるのに十分な電圧が二次巻線31Bから供給され、FET33のソース・ドレイン間は導通状態となるが、FET34のゲート電位はソース電位よりも低くなり、FET34のソース・ドレイン間はオフ状態となる。したがって、二次巻線21CからFET34のソース側に流れ込もうとする電流は、FET34のボディダイオード36によって遮断され、二次巻線21B→出力端子+V<sub>out</sub>→出力端子-V<sub>out</sub>→FET33（またはボディダイオード35）→二次巻線21Bの経路で出力電流が供給される。

【0016】次に、FET22がターンオフすると、今度は一次巻線21Aの非ドット側に正極性の電圧が加わり、二次巻線21B、21Cの非ドット側に正極性の電圧が誘起される。また、ドライブトランス31の一次巻線31Aには非ドット側に正極性の電圧が印加され、二次巻線31B、31Cおよび補助巻線31Dの非ドット側に正極性の電圧が誘起される。FET34のゲート・ソース間には、このFET34をターンオンさせるのに十分な電圧が二次巻線31Cから供給され、FET34のソース・ドレイン間は導通状態となるが、FET33のゲート電位はソース電位よりも低くなり、FET33のソース・ドレイン間はオフ状態となる。したがって、二次巻線21BからFET33のソース側に流れ込もうとする電流は、FET33のボディダイオード35によって遮断され、二次巻線21C→出力端子+V<sub>out</sub>→出力端子-V<sub>out</sub>→FET34（またはボディダイオード36）→二次巻線21Cの経路で出力電流が供給される。こうして、FET22のオン、オフ動作が繰り返される毎に、二次巻線21B、21Cから交互に出力電流が供給されることにより、平滑コンデンサ37を介して出力電圧V<sub>o</sub>が発生する。

【0017】以上のように上記実施例によれば、主トランスの二次巻線に誘起した電圧を整流する二次整流回路として、一対のFET33、34を用いたスイッチング電源装置において、主トランス21とは別体のドライブトランス31の一次巻線31Aを、主トランス21の二次巻線21B、21Cの両端に接続するとともに、ドライブトランス31の二次巻線31B、31Cの両端を各FET33、34のゲート・ソース間に接続することによって、主トランス21の構造を一切複雑化させることなく、FET33、34を動作させるのに十分な電圧の駆動信号を二次巻線31B、31CからFET33、34に供給することができる。したがって、出力電圧V<sub>o</sub>が5V以下の低電圧であっても、ドライブトランス31を主トランス21の二次巻線21B、21Cに接続す

るだけで、スイッチング素子たるFET22に同期してFET33、34を十分にオン、オフ動作させることができる。とともに、主トランス21に補助巻線を巻回す必要がなく、その製造コストを低減することが可能となる。なお、本実施例の場合、主トランス21の二次側が全波整流型であれば、電力変換回路23の構成が変わっても、同一の効果がもたらされる。

【0018】また、請求項2に対応して、ドライブトランス31に補助巻線31Dを巻回し、この補助巻線31DにFET22、25をオン、オフ制御するパルス幅制御回路28の補助電源回路32を設けたことによって、別のトランスを装置内に付加することなく、FET33、34を駆動させるドライブトランス31を利用して、簡単に補助電源回路32を得ることができるようになる。

【0019】さらに、実施例上の効果として、各FET33、34に駆動信号を供給するドライブトランス31を主トランス21の二次巻線21B、21Cに接続するとともに、主トランス21の一次巻線21A間にこの一次巻線21Aのフライバック電圧をクランプするFET25とブロッキングコンデンサ26との直列回路を接続することにより、一次巻線21Aに発生するフライバック電圧はFET25がターンオンすると略一定の値にクランプされ、FET22のターンオフ時に主トランス21の二次巻線21B、21C側に過大な電圧が誘起されなくなる。したがって、ドライブトランス31およびこのドライブトランス31の二次巻線31B、31Cおよび補助巻線31Dに接続されたFET33、34や補助電源回路32に過電圧が加わることを防止することができる。

【0020】次に、本発明の第2実施例を図2に基づき説明する。なお、前述の第1実施例と同一部分には同一符号を付し、その共通する部分の詳細なる説明は省略する。図1に示す第1実施例と異なる点は、本実施例では電力変換回路23としてフォワード型のコンバータを用いていることにあり、これに伴って、FET33、34の接続位置なども異なっている。すなわち、入力端子+V<sub>i</sub>、-V<sub>i</sub>間には、電力変換回路23を構成するトランス21の一次巻線21Aとスイッチング素子たるFET22の直列回路が接続され、パルス幅制御回路28からの駆動信号によりFET22をオン、オフ動作させることで、入力電圧V<sub>i</sub>が断続的にトランス21の一次巻線21Aに印加される。また、トランス21の二次巻線21Bには、二次整流回路としてボディダイオード35、36を備えたFET33、34の他に、チョークコイル41および平滑コンデンサ37が接続され、トランス21の二次巻線21Bに誘起された電圧がこれらの各素子を介して整流平滑される。一方、FET33は出力電圧-V<sub>out</sub>ライン間に挿入接続されるとともに、FET34は主トランス21の二次巻線21B間に接続され、FET33のゲートはドライブトランス31の二次巻線31Cのドット側端子に接続されるのに対し、FET34のゲートはドライブトランス31の二次巻線31Bの

非ドット側端子に接続される。そして、二次巻線31Bのドット側端子と、二次巻線31Cの非ドット側端子が、いずれもFET33、34のソースである出力電圧-Voutラインに接続される。なお、図示しないが、ドライブトランス31に第1実施例と同様に補助巻線を設け、この補助巻線に接続された補助電源回路によりパルス幅制御回路28に動作電圧を供給するようにしてもよい。この場合には、FET33、34を駆動させるドライブトランス31を利用して、簡単に補助電源回路を得ることができるようになる。

【0021】本実施例においては、パルス幅制御回路28から所定のパルス幅を有する駆動信号がFET22に与えられることにより、FET22がオン、オフ動作を繰り返すが、FET22がターンオンすると、主トランス21は二次巻線21Bのドット側に正極性の電圧が誘起され、ドライブトランス31の二次巻線31B、31Cのドット側に正極性の電圧が誘起される。このとき、FET33のゲート電位はソース電位よりも高くなり、FET33のソース・ドレイン間はオン状態となるため、二次巻線21B→チョークコイル41→出力端子+Vout→出力端子-Vout→FET33（またはボディーダイオード35）→二次巻線21Bの経路で出力電流が供給されるとともに、チョークコイル41にエネルギーが蓄えられる。

【0022】次に、FET22がターンオフすると、今度は主トランス21の二次巻線21Bの非ドット側に正極性の電圧が誘起される。そして、ドライブトランス31の一次巻線31Aには非ドット側に正極性の電圧が印加され、二次巻線31B、31Cの非ドット側に正極性の電圧が誘起される。FET34のゲート・ソース間には、FET34をターンオンさせるのに十分な電圧が二次巻線31Bから供給され、FET34のソース・ドレイン間は導通状態となる。したがって、この場合には、チョークコイル41に蓄えられたエネルギーが放出され、チョークコイル41→出力端子+Vout→出力端子-Vout→FET34（またはボディーダイオード36）→チョークコイル41の経路で出力電流が供給される。

【0023】以上のように、電力変換回路23としてフォワード型コンバータを有する本実施例においても、第1実施例と同様に、主トランス21とは別体のドライブトランス31の一次巻線31Aを、主トランス21の二次巻線21Bの両端に接続するとともに、ドライブトランス31の二次巻線31B、31Cの両端を各FET34、33のゲート・ソース間に接続することによって、主トランス21の構造を一切複雑化させることなく、FET33、34を動作させるのに十分な電圧の駆動信号を、ドライブトランス31の二次巻線31B、31CからFET34、33に供給することができる。

【0024】図3は本発明の第3実施例を示すものであり、前述の第1実施例と同一部分には同一符号を付し、その共通する部分の詳細なる説明は省略する。本実施例

は、電力変換回路23としてフライバック型のコンバータを用いている点が注目される。この場合、二次整流回路として用いられるFET33は、出力電圧-Voutラインに挿入接続され、ドライブトランス31の二次巻線31Bより駆動信号が供給されるようになっている。FET33のゲートは、二次巻線31Bの非ドット側端子に接続されるが、二次巻線31Bのドット側端子は、FET33のソースである出力電圧-Voutラインに接続される。なお、図示しないが、ドライブトランス31に第1実施例と同様に補助巻線を設け、この補助巻線に接続された補助電源回路によりパルス幅制御回路28に動作電圧を供給するようにしてもよい。この場合には、FET33を駆動させるドライブトランス31を利用して、簡単に補助電源回路を得ることができるようになる。

【0025】しかして、FET22がターンオンすると、主トランス21の二次巻線21Bにはドット側に一次巻線21Aに比例した正電極の電圧が誘起される。このとき、ドライブトランス31の二次巻線31Bはドット側端子に正電極の電圧が誘起されるため、FET33のソース・ドレイン間はオフ状態となり、主トランス21の二次巻線21Bから出力電圧-Voutラインに流れ込もうとする電流は、ダイオード35により阻止される。したがって、主トランス21の一次巻線21Aには、エネルギーが蓄えられることになる。

【0026】一方、FET22がターンオフすると、主トランス21の二次巻線21Bには非ドット側に正電極の電圧が誘起される。このとき、ドライブトランス31の二次巻線31Bは非ドット側端子に正電極の電圧が誘起されるため、FET33のソース・ドレイン間は導通状態となる。したがって、この場合には、主トランス21の一次巻線21Aに蓄えられたエネルギーが二次巻線21Bから放出され、二次巻線21B→出力端子+Vout→出力端子-Vout→FET33（またはボディーダイオード35）→二次巻線21Bの経路で出力電流が供給される。

【0027】以上のように、電力変換回路23としてフライバック型コンバータを有する本実施例においても、第1および第2実施例と同様に、主トランス21とは別体のドライブトランス31の一次巻線31Aを、主トランス21の二次巻線21Bの両端に接続するとともに、ドライブトランス31の二次巻線31Bの両端をFET33のゲート・ソース間に接続することによって、主トランス21の構造を一切複雑化させることなく、FET33を動作させるのに十分な電圧の駆動信号を、ドライブトランス31の二次巻線31BからFET33に供給することができる。

【0028】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲において種々の変形実施が可能である。

【0029】

【発明の効果】請求項1に記載のスイッチング電源装置は、主トランスの一次巻線に印加される直流入力電圧を

スイッチング素子のオン、オフ動作により断続して所定の直流出力電圧を得る電力変換回路と、前記主トランスの二次巻線に誘起した電圧を整流するMOS型FETと、前記主トランスの二次巻線両端にその一次巻線が接続され二次巻線から前記MOS型FETに駆動信号を供給する前記主トランスとは別体のドライブトランスとからなり、主トランスの構造を複雑化させることなく、いかなる出力電圧範囲に対してもMOS型FETを充分に動作させることが可能となる。

【0030】また、請求項2に記載のスイッチング電源装置は、前記ドライブトランスに補助巻線を巻回し、この補助巻線に前記スイッチング素子をオン、オフ制御する制御回路の補助電源回路を設けたものであり、二次整流回路としてMOS型FETを用い、そのドライブにドライブトランスを用いた場合、簡単に補助電源回路を得ることが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施例を示す回路構成図である。

【図2】 本発明の第2実施例を示す回路構成図である。

【図3】 本発明の第3実施例を示す回路構成図である。

【図4】 従来例を示す回路構成図である。

【符号の説明】

21 主トランス

21A 主トランスの一次巻線

21B, 21C 主トランスの二次巻線

22 MOS型FET (スイッチング素子)

28 パルス幅制御回路 (制御回路)

31 ドライブトランス

31A ドライブトランスの一次巻線

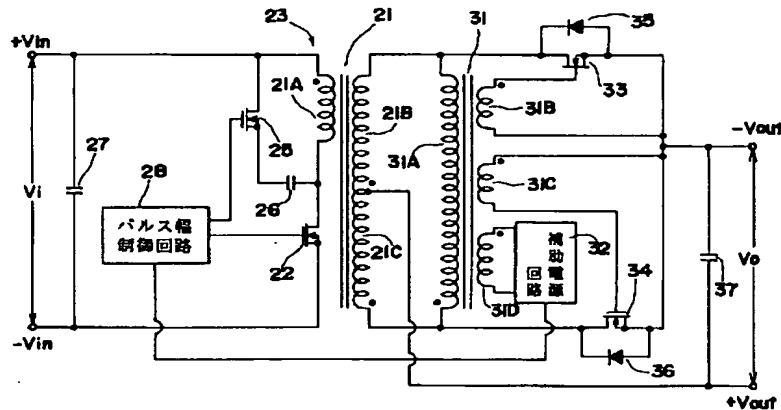
31B, 31C ドライブトランスの二次巻線

31D ドライブトランスの補助巻線

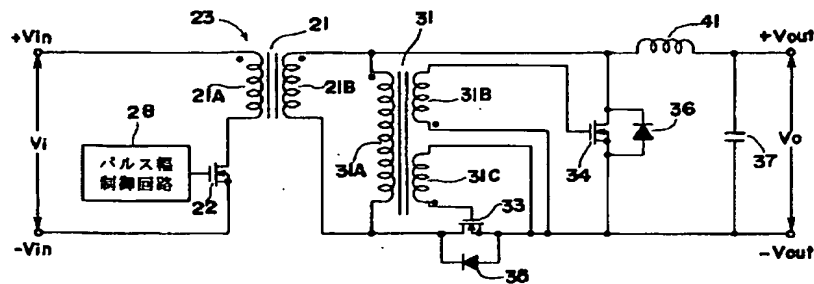
32 補助電源回路

33, 34 MOS型FET

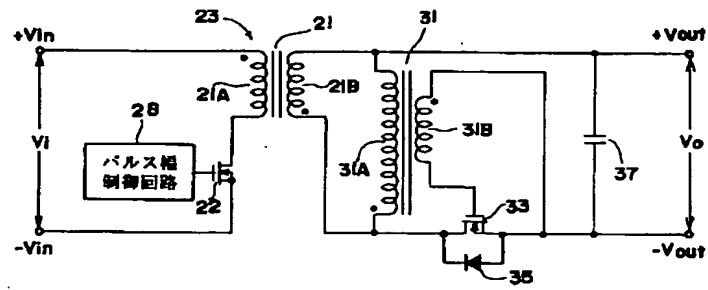
【図1】



【図2】



【図 3】



【図 4】

